

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Fumitaka ARAI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE COMPOSED OF NAND TYPE EEPROM
AND DELETION VERIFICATION METHOD IN NON-VOLATILE SEMICONDUCTOR STORAGE
DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

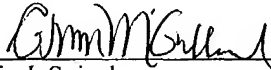
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-348932	November 29, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月29日

出願番号

Application Number:

特願2002-348932

[ST.10/C]:

[JP2002-348932]

出願人

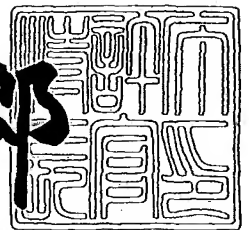
Applicant(s):

株式会社東芝

2003年 1月24日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3001348

【書類名】 特許願

【整理番号】 A000205355

【提出日】 平成14年11月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 不揮発性半導体記憶装置及びその消去ベリファイ方法

【請求項の数】 16

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 荒井 史隆

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 八重樫 利武

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 松永 泰彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその消去ペリファイ方法

【特許請求の範囲】

【請求項 1】

複数のメモリセルトランジスタが電流通路にて直列に接続された NAND 列と

前記 NAND 列内の複数のメモリセルトランジスタの各々のゲートに接続された複数のワード線と、

前記複数のワード線を駆動するワード線駆動回路と、

前記 NAND 列の一端に選択ゲートトランジスタを介して接続されたビット線と、

前記ビット線を駆動するビット線駆動回路と、

前記 NAND 列の他端に選択ゲートトランジスタを介して接続されたソース線と、

前記ソース線を駆動するソース線駆動回路と、

前記 NAND 列内の複数のメモリセルトランジスタが形成された半導体領域に電位を供給する電位供給回路とを具備し、

前記ワード線駆動回路は前記複数のワード線に低電位を供給し、前記電位供給回路は前記複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して前記複数のメモリセルトランジスタを消去状態にし、

消去ペリファイでは、前記複数のワード線に対して 1 本のワード線毎に読み出しを行い、前記読み出しでは前記ワード線駆動回路は、前記複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

複数のメモリセルトランジスタが電流通路にて直列に接続された NAND 列と

前記 NAND 列内の複数のメモリセルトランジスタの各々のゲートに接続され

た複数のワード線と、

前記複数のワード線を駆動するワード線駆動回路と、

前記NAND列の一端に選択ゲートトランジスタを介して接続されたビット線と、

前記ビット線を駆動するビット線駆動回路と、

前記NAND列の他端に選択ゲートトランジスタを介して接続されたソース線と、

前記ソース線を駆動するソース線駆動回路と、

前記NAND列内の複数のメモリセルトランジスタが形成された半導体領域に電位を供給する電位供給回路とを具備し、

前記ワード線駆動回路は前記複数のワード線に低電位を供給し、前記電位供給回路は前記複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して前記複数のメモリセルトランジスタを消去状態にし、

消去ベリファイでは、前記複数のワード線に対して2本以上で全数未満のワード線毎に読み出しを行い、前記読み出しでは前記ワード線駆動回路は、前記複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与えることを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記消去ベリファイにおいて前記電位供給回路は、前記複数のメモリセルトランジスタが形成された半導体領域の電位を、前記判定電位より高く設定することを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項4】

前記メモリセルトランジスタが消去状態にあるとき、前記メモリセルトランジスタのしきい値電圧は前記判定電圧より低いことを特徴とする請求項1乃至3のいずれか1つに記載の不揮発性半導体記憶装置。

【請求項5】

前記消去ベリファイにおける読み出しでは、前記ビット線に充電された電荷が放電したか否かによって、前記メモリセルトランジスタが消去状態になっている

か否かを判定することを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 6】

前記ビット線に充電された電荷が放電する時間は、通常の読み出しにおいてビット線に充電された電荷が放電する時間に比べて短いことを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記消去ベリファイにおける読み出しでは、前記非選択のワード線に与えられる前記読み出し電位は、通常の読み出しにおいて、非選択のワード線に与えられる電位より低いことを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 8】

前記メモリセルトランジスタは、シリコン基板の上に第 1 のゲート絶縁膜を介し、浮遊ゲートと、第 2 のゲート絶縁膜と、制御ゲートとが積層された積層構造を含むことを特徴とする請求項 1 乃至 7 のいずれか 1 つに記載の不揮発性半導体記憶装置。

【請求項 9】

複数のメモリセルトランジスタが電流通路にて直列に接続された NAND 列と、前記 NAND 列内の複数のメモリセルトランジスタの各々のゲートに接続された複数のワード線とを有する不揮発性半導体記憶装置の消去ベリファイ方法において、

前記複数のワード線に低電位を供給し、前記複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して前記複数のメモリセルトランジスタを消去状態にする工程と、

前記複数のワード線に対して 1 本のワード線毎に読み出しを行う消去ベリファイ工程とを具備し、

前記読み出しでは、前記複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与えることを特徴とする不揮発性半

導体記憶装置の消去ベリファイ方法。

【請求項10】

複数のメモリセルトランジスタが電流通路にて直列に接続されたNAND列と、前記NAND列内の複数のメモリセルトランジスタの各々のゲートに接続された複数のワード線とを有する不揮発性半導体記憶装置の消去ベリファイ方法において、

前記複数のワード線に低電位を供給し、前記複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して前記複数のメモリセルトランジスタを消去状態にする工程と、

前記複数のワード線に対して2本以上で全数未満のワード線毎に読み出しを行う消去ベリファイ工程とを具備し、

前記読み出しでは、前記複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与えることを特徴とする不揮発性半導体記憶装置の消去ベリファイ方法。

【請求項11】

前記消去ベリファイ工程では、前記複数のメモリセルトランジスタが形成された半導体領域の電位を、前記判定電位より高く設定することを特徴とする請求項9または10に記載の不揮発性半導体記憶装置の消去ベリファイ方法。

【請求項12】

前記メモリセルトランジスタが消去状態にあるとき、前記メモリセルトランジスタのしきい値電圧は前記判定電圧より低いことを特徴とする請求項9乃至11のいずれか1つに記載の不揮発性半導体記憶装置の消去ベリファイ方法。

【請求項13】

前記消去ベリファイ工程では、前記ビット線に充電された電荷が放電したか否かによって、前記メモリセルトランジスタが消去状態になっているか否かを判定することを特徴とする請求項9乃至12のいずれか1つに記載の不揮発性半導体記憶装置の消去ベリファイ方法。

【請求項14】

前記ビット線に充電された電荷が放電する時間は、通常の読み出しにおいてビット線に充電された電荷が放電する時間に比べて短いことを特徴とする請求項 13 に記載の不揮発性半導体記憶装置の消去ベリファイ方法。

【請求項 1 5】

前記消去ベリファイ工程における読み出しでは、前記非選択のワード線に与えられる前記読み出し電位は、通常の読み出しにおいて、非選択のワード線に与えられる電位より低いことを特徴とする請求項 9 乃至 1 4 のいずれか 1 つに記載の不揮発性半導体記憶装置の消去ベリファイ方法。

【請求項 1 6】

前記メモリセルトランジスタは、シリコン基板の上に第 1 のゲート絶縁膜を介し、浮遊ゲートと、第 2 のゲート絶縁膜と、制御ゲートとが積層された積層構造を含むことを特徴とする請求項 9 乃至 1 5 のいずれか 1 つに記載の不揮発性半導体記憶装置の消去ベリファイ方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関するものであり、特に NAND 型 EEPROM 及びその消去ベリファイ方法に関するものである。

【0 0 0 2】

【従来の技術】

従来の不揮発性半導体記憶装置の一例として、NAND 型 EEPROM (electrically erasable and programmable ROM) の回路図を図 6 に示す。

【0 0 0 3】

NAND 型 EEPROM では、互いのソース、ドレインを接続することにより、直列に接続されたメモリセルトランジスタ M1、M2、…、M8 で NAND 列が構成されている。メモリセルトランジスタ M1 ~ M8 の各々のゲートにはワード線 WL1、WL2、…、WL8 がそれぞれ接続されている。

【0 0 0 4】

前記 NAND 列の両端には、選択ゲートトランジスタ ST1k、ST2k がそれ

それぞれ接続されている。選択ゲートトランジスタ $ST1k$ 、 $ST2k$ の各々のゲートには、選択ゲート線 $SG1$ 、 $SG2$ がそれぞれ接続されている。選択ゲートトランジスタ $ST1k$ にはビット線 BLk が接続され、選択ゲートトランジスタ $ST2k$ には共通ソース線 SL が接続されている。

【 0 0 0 5 】

また、前記 $NAND$ 列に隣接して、他の複数の $NAND$ 列が配置されている。複数の $NAND$ 列の各々の一端には、選択ゲートトランジスタ $ST1k-1$ 、 $ST1k+1$ がそれぞれ接続され、これら選択ゲートトランジスタ $ST1k-1$ 、 $ST1k+1$ にはそれぞれビット線 $BLk-1$ 、 $BLk+1$ が接続されている。さらに、複数の $NAND$ 列の各々の他端には、選択ゲートトランジスタ $ST2k-1$ 、 $ST2k+1$ がそれぞれ接続され、これら選択ゲートトランジスタ $ST2k-1$ 、 $ST2k+1$ には共通ソース線 SL が接続されている。

【 0 0 0 6 】

さらに、ワード線 $WL1 \sim WL8$ 、選択ゲート線 $SG1$ 、 $SG2$ 、ビット線 $BLk-1$ 、 BLk 、 $BLk+1$ 、及び共通ソース線 SL には、それぞれ駆動回路 101 、 102 、 103 、及び 104 が設けられている。

【 0 0 0 7 】

このような構成では、隣接するセルトランジスタ同士でソースとドレインを共用することができたため、配線のために必要な面積を削減することができる。このように、 $NAND$ 型 $EEPROM$ は、高密度化に適した構造であることを特徴とする。また、ワード線 $WL1$ 、 $WL2$ 、…、 $WL8$ を介して多数のセルトランジスタのゲート電位を同時に駆動し、多数のセルトランジスタに対してデータの高速な書き込み、または消去、読み出しを行うことが可能である。

【 0 0 0 8 】

図 7 に、前記 $NAND$ 型 $EEPROM$ において読み出しを行う場合のタイムチャートを示す。

【 0 0 0 9 】

セルトランジスタ $M1$ 、 $M2$ 、…、 $M8$ が直列に接続された $NAND$ 型 $EEPROM$ の特徴として、選択されたセルトランジスタのデータを読み出すために、

同一のNAND列内の非選択のセルトランジスタをオンさせて読み出しを行う必要がある。すなわち、非選択のセルトランジスタのワード線WLには読み出し電位Vreadとして十分に高い電位を与え、選択されたセルトランジスタのワード線WLにのみ“0”か“1”かの判定を行うための判定電位VWLreadを与える。

【0010】

このとき、読み出し電位Vreadが十分に高く与えられなかった場合、非選択のセルトランジスタがオフしてしまい、選択されたセルトランジスタのしきい値電圧によらず、セル電流が流れなくなってしまう。あるいは、非選択のセルトランジスタが十分にオンせず、チャネル抵抗が高いまま読み出しを行うと、セル電流が非選択のセルトランジスタを流れることで電位降下し、選択されたセルトランジスタのソース電位を上昇させるという現象が発生してしまう。

【0011】

このような場合、バックバイアス効果や選択されたセルトランジスタのゲート-ソース間電位を減少させることなどによる影響から、選択されたセルトランジスタのしきい値電圧が本来より高く検出されてしまうという不具合が発生する。そのため、NAND型EEPROMでは、読み出し電位Vreadの設定は非常に重要なデバイス仕様となっている。

【0012】

次に、前記NAND型EEPROMにおける消去ベリファイ時のタイムチャートを図8に示す。

【0013】

消去ベリファイは、消去動作後にすべてのセルトランジスタが消去されているか、すなわち、すべてのセルトランジスタのしきい値電圧が負になっているかどうかを判定する動作である。NAND型EEPROMのワード線には、前記判定を行うために必要な負電位を出力することができない。そのため、負のしきい値電圧を判定するためには、前記読み出し方法とは異なる手法が必要となる。まず、前記共通ソース線SLに高電位を与え、ビット線BLkを所定の低電位に設定する。その後、選択されたNAND列内のワード線WL及び選択ゲートSG1、SG2の電位を適切な電位に設定することにより、セル電流が前記共通ソース線

S L から前記ビット線 B L k に流れ、ビット線 B L k を充電する。その結果、前記ビット線 B L k の電位が低電位から上昇することによりバックバイアス効果が働き、設定されたワード線電位よりも低いしきい値電圧を検知することが可能となる（例えば、特許文献 1、2 参照）。

【 0 0 1 4 】

NAND 型 EEPROM では、ブロックと呼ばれる最小の消去サイズを規定しており、通常、同一 NAND 列内のすべてのセルトランジスタに対して同時に消去を行う。その後、NAND 列内のすべてのワード線 W L 1 ~ W L 8 に十分に低い判定電位 V W L e v を与えて読み出しを行う。すべてのワード線に同電位を与えることにより、NAND 列内のすべてのセルトランジスタのしきい値電圧を一度で判定することが可能であり、この結果、消去ベリファイの高速動作が可能になる。

【 0 0 1 5 】

NAND 型 EEPROM では、上記のような読み出しを行った場合、前述したセルチャネル抵抗の影響が無視できない。特に、セルトランジスタがかろうじて消去された状態であった場合、セルトランジスタのチャネル抵抗は最大となるため、NAND 列内のバックバイアス効果によりしきい値電圧が上昇し、まだ消去が完了していないように判断されてしまう。この結果、上記消去ベリファイ動作の場合では、十分深く消去が進んだ状態（過消去）で消去判定が行われている。

【 0 0 1 6 】

このように、消去判定を行うセルトランジスタのしきい値電圧の精度に不確定部分が残ってはいるが、それはより消去判定を厳しくする条件であり、視点を変えると、上記消去ベリファイで判定されていれば消去は十分に行われたと判断できる。

【 0 0 1 7 】

【特許文献 1】

特開平 7 - 1 6 1 8 5 2 号公報

【 0 0 1 8 】

【特許文献 2】

特開平11-250676号公報

【0019】

【発明が解決しようとする課題】

しかしながら、セルトランジスタの微細化が進むとともに、過消去はセル信頼性の劣化要因として重大な問題となってきた。また、微細化に伴う誤書き込み特性の劣化を抑制するために、セルトランジスタのカットオフ特性を利用するローカルセルフブースト（LSB）書き込みの開発が行われるようになり、消去状態のセルトランジスタのしきい値電圧に下限値の設定が求められている。

【0020】

これらの理由から、セルトランジスタの消去時のしきい値電圧には、周辺環境の変化によって非消去の状態とならない程度に深く、かつ、所定のゲート電位で十分なカットオフ特性が得られる程度に浅く、という2つの要求が発生してきた。これらの要求を満たすためには、消去時におけるセルトランジスタのしきい値電圧の判定精度を向上させることが重要な課題となっている。

【0021】

そこでこの発明は、前記課題に鑑みてなされたものであり、消去ベリファイの動作速度の劣化を最小限に抑えつつ、消去状態におけるセルトランジスタのしきい値電圧の高精度な判定を可能にした不揮発性半導体記憶装置及びその消去ベリファイ方法を提供することを目的とする。

【0022】

【課題を解決するための手段】

前記目的を達成するために、この発明に係る不揮発性半導体記憶装置は、複数のメモリセルトランジスタが電流通路にて直列に接続されたNAND列と、前記NAND列内の複数のメモリセルトランジスタの各々のゲートに接続された複数のワード線と、前記複数のワード線を駆動するワード線駆動回路と、前記NAND列の一端に選択ゲートトランジスタを介して接続されたビット線と、前記ビット線を駆動するビット線駆動回路と、前記NAND列の他端に選択ゲートトランジスタを介して接続されたソース線と、前記ソース線を駆動するソース線駆動回路と、前記NAND列内の複数のメモリセルトランジスタが形成された半導体領

域に電位を供給する電位供給回路とを具備し、前記ワード線駆動回路は前記複数のワード線に低電位を供給し、前記電位供給回路は前記複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して前記複数のメモリセルトランジスタを消去状態にし、消去ベリファイでは、前記複数のワード線に対して1本のワード線毎に読み出しを行い、前記読み出しでは前記ワード線駆動回路は、前記複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与えることを特徴とする。

【 0 0 2 3 】

また、前記目的を達成するために、この発明に係る不揮発性半導体記憶装置の消去ベリファイ方法は、複数のメモリセルトランジスタが電流通路にて直列に接続されたNAND列と、前記NAND列内の複数のメモリセルトランジスタの各々のゲートに接続された複数のワード線とを有する不揮発性半導体記憶装置の消去ベリファイ方法であって、前記複数のワード線に低電位を供給し、前記複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して前記複数のメモリセルトランジスタを消去状態にする工程と、前記複数のワード線に対して1本のワード線毎に読み出しを行う消去ベリファイ工程とを具備し、前記読み出しでは、前記複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与えることを特徴とする。

【 0 0 2 4 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態として、不揮発性半導体記憶装置の一種であるNAND型EEPROMを例に取り説明する。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 2 5 】

〔第1の実施の形態〕

まず、この発明の第1の実施の形態のNAND型EEPROMについて説明する。図1(a)は、第1の実施の形態のNAND型EEPROMの構成を示す回

路図である。

【0026】

図1 (a) に示すように、制御ゲート及び浮遊ゲートを持つメモリセルトランジスタM1、M2、…、M8は、それらの電流通路にて直列に接続されてNAND列を構成している。このNAND列の両端には、選択ゲートトランジスタST1kとST2kが接続されている。図1 (b) に、NAND列と選択ゲートトランジスタの断面構造を示す。前記メモリセルトランジスタM1～M8の各々は、シリコン半導体基板1の上に、第1のゲート絶縁膜2を介し、浮遊ゲート（あるいは電荷蓄積膜）3と、第2のゲート絶縁膜4と、制御ゲート5とが積層された積層構造を有している。選択ゲートトランジスタST1k、ST2kの各々は、シリコン半導体基板1の上に、ゲート絶縁膜6を介して制御ゲート7が形成された構造を有する。メモリセルトランジスタ間、メモリセルトランジスタM1と選択ゲートトランジスタST1kとの間、及びメモリセルトランジスタM8と選択ゲートトランジスタST2kとの間には、ソース・ドレイン拡散層8が形成されている。

【0027】

前記セルトランジスタM1、M2、…、M8の制御ゲートには、ワード線WL1、WL2、…、WL8がそれぞれ接続されている。選択ゲートトランジスタST1kのゲートには、選択ゲート線SG1が接続され、選択ゲートトランジスタST2kのゲートには選択ゲート線SG2が接続されている。さらに、選択ゲートトランジスタST1kにはビット線BLkが接続され、選択ゲートトランジスタST2kには共通ソース線SLが接続されている。

【0028】

また、前記NAND列の近傍には、ワード線WL1、WL2、…、WL8に、ゲートがそれぞれ接続されたNAND列が複数配列されている。これらNAND列の各々の一端には、選択ゲート線SG1に、ゲートが接続された選択ゲートトランジスタST1k-1、ST1k+1がそれぞれ接続されている。これら選択ゲートトランジスタST1k-1、ST1k+1には、それぞれビット線BLk-1、BLk+1が接続されている。さらに、NAND列の各々の他端には、選択ゲート線SG2に

、ゲートが接続された選択ゲートトランジスタ ST_{2k-1} 、 ST_{2k+1} がそれぞれ接続される。これら選択ゲートトランジスタ ST_{2k-1} 、 ST_{2k+1} には、共通ソース線 SL が接続されている。

【 0 0 2 9 】

さらに、ワード線 $WL_1 \sim WL_8$ には、それぞれワード線駆動回路 11 が設けられ、選択ゲート線 SG_1 、 SG_2 にはそれぞれ選択ゲート線駆動回路 12 が設けられている。ビット線 BL_{k-1} 、 BL_k 、 BL_{k+1} には、それぞれセンスアンプを含むビット線駆動回路 13 が設けられ、共通ソース線 SL には共通ソース線駆動回路 14 がそれぞれ設けられている。さらに、ウェル電位供給回路 15 が設けられており、このウェル電位供給回路 15 はセルトランジスタ、及び選択ゲートトランジスタが形成されたウェル領域に電位を供給する。

【 0 0 3 0 】

次に、図 1 (a) に示した NAND 型 EEPROM における消去ベリファイの動作について説明する。

【 0 0 3 1 】

図 2 は、第 1 の実施の形態の NAND 型 EEPROM における消去ベリファイを示すタイムチャートである。

【 0 0 3 2 】

まず、消去は、選択されたブロック内のワード線 $WL_1 \sim WL_8$ にワード線駆動回路 11 により十分低い電位 $V_{WLerase}$ を与え、ウェル電位供給回路 15 によりセルウェルの電位を消去に必要な高電位 V_{erase} まで昇圧することにより行われる。これにより、ブロック内のすべてのセルトランジスタの浮遊ゲートから電子を抜き取る。このとき、選択ゲート線 SG_1 、 SG_2 、ビット線 BL_{k-1} 、 BL_k 、 BL_{k+1} 、共通ソース線 SL は、高電位 V_{erase} となる。前記セルウェルは、セルトランジスタ、及び選択ゲートトランジスタが形成されたウェル領域を指す。

【 0 0 3 3 】

その後、セルウェルの高電位 V_{erase} を放電した後、消去ベリファイを行う。この消去ベリファイでは、選択されたブロック内のワード線 $WL_1 \sim WL_8$ のう

ち、各々のワード線ごとに読み出しが行われる（ベリファイ1～ベリファイ8）。

【0034】

ベリファイ1では、選択されたワード線WL1にワード線駆動回路11により消去ベリファイ用判定電位VWL_{ev}を与え、非選択のワード線WL2～WL8に消去ベリファイ用読み出し電位VWL_{er}を与える。さらに、ビット線BLkにビット線駆動回路13によりプリチャージ電位V_{pre}を与え、選択ゲート線SG1、SG2に、選択ゲート線駆動回路12により選択ゲートトランジスタST1k、ST2kがオンするのに十分な電位を与える。セルウェル、共通ソース線SLは、高電位V_{erase}が放電されて0Vとなっている。

【0035】

これにより、選択されたセルトランジスタが消去されているとき、すなわち選択されたセルトランジスタのしきい値電圧が消去ベリファイ用判定電位VWL_{ev}以下のとき、選択されたセルトランジスタを含むセルトランジスタM1～M8、及び選択ゲートトランジスタST1k、ST2kがすべて導通状態になり、ビット線BLkのプリチャージ電位V_{pre}が放電される（図2中のYes）。一方、選択されたセルトランジスタが消去されていないとき、すなわち選択されたセルトランジスタのしきい値電圧が消去ベリファイ用判定電位VWL_{ev}より高いとき、選択されたセルトランジスタは非導通状態になるため、ビット線BLkのプリチャージ電位V_{pre}は放電されない（図2中のNo）。なお、ビット線BLkの電位は、ビット線駆動回路13に含まれるセンスアンプにより検出される。

【0036】

なお、消去ベリファイ用読み出し電位VWL_{er}は、消去ベリファイ用判定電位VWL_{ev}に対して十分高い電位であることが望ましい。

【0037】

ベリファイ2では、選択されたワード線WL2にワード線駆動回路11により消去ベリファイ用判定電位VWL_{ev}を与え、非選択のワード線WL1、WL3～WL8に消去ベリファイ用読み出し電位VWL_{er}を与える。さらに、ビット線BLkにビット線駆動回路13によりプリチャージ電位V_{pre}を与え、選択ゲート線

SG1、SG2に、選択ゲート線駆動回路12により選択ゲートトランジスタST1k、ST2kがオンするのに十分な電位を与える。セルウェル、共通ソース線SLは、高電位Veraseが放電されて0Vとなっている。

【0038】

これにより、選択されたセルトランジスタが消去されているとき、すなわち選択されたセルトランジスタのしきい値電圧が消去ベリファイ用判定電位VWL_{ev}以下のとき、選択されたセルトランジスタを含むセルトランジスタM1～M8、及び選択ゲートトランジスタST1k、ST2kがすべて導通状態になり、ビット線BLkのプリチャージ電位V_{pre}が放電される。一方、選択されたセルトランジスタが消去されていないとき、すなわち選択されたセルトランジスタのしきい値電圧が消去ベリファイ用判定電位VWL_{ev}より高いとき、選択されたセルトランジスタは非導通状態になるため、ビット線BLkのプリチャージ電位V_{pre}は放電されない。

【0039】

ベリファイ3では、選択されたワード線WL3にワード線駆動回路11により消去ベリファイ用判定電位VWL_{ev}を与え、その他の非選択のワード線に消去ベリファイ用読み出し電位VWL_{er}を与える。その他の動作は、前述したベリファイ1及び2と同様である。

【0040】

同様に、図示していないベリファイ4～ベリファイ8では、それぞれ選択されたワード線WL4～WL8に消去ベリファイ用判定電位VWL_{ev}を与え、その他の非選択のワード線に消去ベリファイ用読み出し電位VWL_{er}を与える。その他の動作は、前述したベリファイ1及び2と同様である。

【0041】

前述したように、ベリファイ1～ベリファイ8の各ベリファイにおいて、選択されたセルトランジスタが消去されているか否かの消去判定は、以下のように行う。ビット線BLkのプリチャージ電位V_{pre}が放電されたとき（図2中のYes）、選択されたセルトランジスタは、しきい値電圧が判定電位VWL_{ev}以下であり、消去されていると判定される。一方、ビット線BLkのプリチャージ電位V_p

reが放電されないとき（図2中のNo）、選択されたセルトランジスタは、しきい値電圧が判定電位 V_{WLev} より高く、消去されていないと判定される。

【0042】

このような消去判定をブロック内のすべてのワード線 $WL1 \sim WL8$ に対して行った後、すべてのワード線でセルトランジスタが消去されていると判定された場合に、消去完了とする。少なくとも1つのワード線でセルトランジスタが消去されていないと判定された場合は、消去が不十分であるとしてセルウェルの電位 V_{erase} をさらに増大させて再度、消去動作を行う。そして、消去判定がOKとなるまで、消去動作と消去判定を繰り返す。

【0043】

以上のような消去ベリファイによれば、消去時におけるセルトランジスタのしきい値電圧を高精度に判定することができる。さらに、セルトランジスタのしきい値電圧を精度良く制御することが可能である。

【0044】

また、図2に示したベリファイ1～ベリファイ8では、消去ベリファイ用読み出し電位 V_{WLe} を十分に高くすることにより、非選択のセルトランジスタのチャネル抵抗を低減することが可能になる。これにより、選択されたセルトランジスタのしきい値電圧を精度良く判定することが可能である。ワード線駆動回路11がウェル分離されておらず、ワード線への負電位の供給が不可能な場合は、消去ベリファイ用判定電位 V_{WLev} は、ワード線駆動回路11が発生可能な最も低い電位である0Vを使用することが望ましい。

【0045】

また、ベリファイ1～ベリファイ8は、ほとんどの場合、セルトランジスタが消去状態にあるときに行われると考えられる。そのため、ブロック内のセルトランジスタのしきい値電圧は、ほとんどの場合、消去状態すなわち負の状態である。したがって、あらゆるしきい値電圧を想定する必要がある通常の読み出しに比べて、この実施の形態では動作条件の改良が可能である。

【0046】

具体的には、通常の読み出し時と比較して、増えることが予想されるセル電流

を利用し、図 2 に示したビット線 B L k 電位の放電時間 T D の短縮、及び非選択のセルトランジスタに与える消去ベリファイ用読み出し電位 V W L e r の低減などの改良が挙げられる。放電時間 T D の短縮を行った場合は、通常の読み出し動作を繰り返した場合に比べ、ベリファイ動作時間の大幅な短縮が望めると同時に、消去判定がパスするしきい値電圧の負側（低電圧側）のマージンを調整することができ、非常に有効である。

【 0 0 4 7 】

また、消去判定におけるしきい値電圧の負側のマージン確保は、前記手法の他、セルウェルを所定の正電位に昇圧することにより行うことも可能である。セルウェル電位、消去ベリファイ用判定電位 V W L e v、消去ベリファイ用読み出し電位 V W L e r、共通ソース線電位を適切に設定することにより、通常の読み出し時とほぼ同じ環境で行うことができ、しきい値電圧の判定精度を大幅に向上させることができる。類似な効果は、セルトランジスタ内の共通ソース線を所定の正電位に昇圧することでも得られる。

【 0 0 4 8 】

また、セルウェルまたは共通ソース線を所定の正電位に昇圧する手法は、この実施の形態で述べたような、消去直後に行う消去ベリファイ動作において特に有用である。すなわち、既に高電位 V e r a s e に昇圧されているセルウェル電位または共通ソース線電位を、放電降圧の途中で放電を止めてそのまま消去ベリファイ動作に移行することが可能となるためである。これにより、セルウェル及び共通ソース線電位の放電時間及び再昇圧時間の省略が可能である。

【 0 0 4 9 】

前記第 1 の実施の形態の変形例として、前述したセルウェル電位の降圧を途中で止め、ベリファイ動作に移行する消去ベリファイのタイムチャートを図 3 に示す。ベリファイ 1 ～ベリファイ 8 におけるセルウェル電位 V w e l l は、消去ベリファイ用判定電位 V W L e v より大きい。その他の動作条件は、図 2 に示した条件と同様である。

【 0 0 5 0 】

なお、消去ベリファイによる読み出し動作を行うためには、ビット線に適切な

電荷が蓄積される。この実施形態の場合、非選択のワード線には十分高い消去ベリファイ用読み出し電位 V_{WLer} が与えられるため、ビット線に蓄積された電荷によるビット線電位（プリチャージ電位 V_{pre} ）が、選択された1つのセルトランジスタのみに与えられる。そのため、前記ビット線電位は、選択されたセルトランジスタのソースドレイン間耐圧に対して十分に低い電位に設定されることが望ましい。

【0051】

以上説明したようにこの第1の実施の形態では、選択されたブロック内の各ワード線ごとに読み出しを行うことにより、消去時におけるセルトランジスタのしきい値電圧を高精度に判定することができ、さらにしきい値電圧を精度良く制御することが可能である。

【0052】

さらに、第1の実施の形態の変形例では、第1の実施の形態の構成及び設定に加えてセルウェルを所定の正電位に昇圧することにより、さらにしきい値電圧の判定精度を大幅に向上させることができる。

【0053】

[第2の実施の形態]

次に、この発明の第2の実施の形態のNAND型EEPROMについて説明する。前述した第1の実施の形態では、消去後に、ワード線1本毎に読み出しを行って消去ベリファイを実行したが、この第2の実施の形態のNAND型EEPROMでは、消去後に、複数のワード線毎に読み出しを行って消去ベリファイを実行するものである。前記第1の実施の形態における構成と同様の部分には同じ符号を付してその説明は省略し、以下に、異なる構成部分のみを説明する。

【0054】

第2の実施の形態のNAND型EEPROMにおける消去ベリファイの動作は以下になる。

【0055】

図4は、第2の実施の形態のNAND型EEPROMにおける消去ベリファイを示すタイムチャートである。

【 0 0 5 6 】

まず、消去は、前記第 1 の実施の形態と同様に、選択されたブロック内のワード線 $WL_1 \sim WL_8$ にワード線駆動回路 11 により十分低い電位 $V_{WL\text{erase}}$ を与え、ウェル電位供給回路 15 によりセルウェルの電位を消去に必要な高電位 V_{erase} まで昇圧することにより行われる。これにより、ブロック内のすべてのセルトランジスタの浮遊ゲートから電子を抜き取る。

【 0 0 5 7 】

その後、セルウェルの高電位 V_{erase} を放電した後、消去ベリファイを行う。この消去ベリファイでは、選択されたブロック内のワード線 $WL_1 \sim WL_8$ のうち、複数のワード線ごとに読み出しが行われる。読み出しを行う前記複数のワード線の本数は、2 本以上で、かつブロック内の全ワード線数未満であればよい。ここでは、2 本のワード線ごとに読み出しを行う場合を示す（ベリファイ 1 ～ベリファイ 4）。

【 0 0 5 8 】

ベリファイ 1 では、選択されたワード線 WL_1 、 WL_2 にワード線駆動回路 11 により消去ベリファイ用判定電位 $V_{WL\text{ev}}$ を与え、非選択のワード線 $WL_3 \sim WL_8$ に消去ベリファイ用読み出し電位 $V_{WL\text{er}}$ を与える。さらに、ビット線 BL_k にビット線駆動回路 13 によりプリチャージ電位 V_{pre} を与え、選択ゲート線 SG_1 、 SG_2 に、選択ゲート線駆動回路 12 により選択ゲートトランジスタ ST_{1k} 、 ST_{2k} がオンするのに十分な電位を与える。セルウェル、共通ソース線 SL は、高電位 V_{erase} が放電されて 0 V となっている。

【 0 0 5 9 】

これにより、選択されたセルトランジスタが消去されているとき、すなわち選択されたセルトランジスタのしきい値電圧が消去ベリファイ用判定電位 $V_{WL\text{ev}}$ 以下のとき、選択されたセルトランジスタを含むセルトランジスタ $M_1 \sim M_8$ 、及び選択ゲートトランジスタ ST_{1k} 、 ST_{2k} がすべて導通状態になり、ビット線 BL_k のプリチャージ電位 V_{pre} が放電される（図 4 中の Y_{es} ）。一方、選択されたセルトランジスタが消去されていないとき、すなわち選択されたセルトランジスタのしきい値電圧が消去ベリファイ用判定電位 $V_{WL\text{ev}}$ より高いとき、選

択されたセルトランジスタは非導通状態になるため、ビット線BLkのプリチャージ電位Vpreは放電されない（図4中のNo）。

【0060】

なお、消去ベリファイ用読み出し電位VWLe_rは、消去ベリファイ用判定電位VWLe_vに対して十分高い電位であることが望ましい。

【0061】

ベリファイ2では、選択されたワード線WL3、WL4にワード線駆動回路11により消去ベリファイ用判定電位VWLe_vを与え、その他の非選択のワード線WL1、WL2、WL5～WL8に消去ベリファイ用読み出し電位VWLe_rを与える。その他の動作は、前述したベリファイ1と同様である。

【0062】

ベリファイ3では、選択されたワード線WL5、WL6にワード線駆動回路11により消去ベリファイ用判定電位VWLe_vを与え、その他の非選択のワード線WL1～WL4、WL7、WL8に消去ベリファイ用読み出し電位VWLe_rを与える。その他の動作は、前述したベリファイ1と同様である。

【0063】

同様に、図示していないベリファイ4では、選択されたワード線WL7、WL8にワード線駆動回路11により消去ベリファイ用判定電位VWLe_vを与え、その他の非選択のワード線WL1～WL6に消去ベリファイ用読み出し電位VWLe_rを与える。その他の動作は、前述したベリファイ1と同様である。

【0064】

ベリファイ1～ベリファイ4の各ベリファイにおいて、選択されたセルトランジスタが消去されているか否かの消去判定は、前記第1の実施の形態と同様であり、以下のように行う。ビット線BLkのプリチャージ電位Vpreが放電されたとき（図4中のYes）、選択されたセルトランジスタは、しきい値電圧が判定電位VWLe_v以下であり、消去されていると判定される。一方、ビット線BLkのプリチャージ電位Vpreが放電されないとき（図4中のNo）、選択されたセルトランジスタは、しきい値電圧が判定電位VWLe_vより高く、消去されていないと判定される。

【 0 0 6 5 】

このような消去判定をブロック内のすべてのワード線WL1～WL8に対して行った後、すべてのワード線でセルトランジスタが消去されていると判定された場合に、消去完了とする。少なくとも1つのワード線でセルトランジスタが消去されていないと判定された場合は、消去が不十分であるとしてセルウェルの電位V_{erase}をさらに増大させて再度、消去動作を行う。そして、消去判定がOKとなるまで、消去動作と消去判定を繰り返す。

【 0 0 6 6 】

以上のような消去ベリファイによれば、複数のワード線ごとに読み出しを行うことにより、1本のワード線ごとに読み出しを行う場合に比べて、大幅な高速化が可能である。また、同時に読み出しを行うワード線の本数を増やすほど、消去ベリファイの高速化が可能である。

【 0 0 6 7 】

しかし、同時に読み出しを行うワード線の本数を増やせば、消去ベリファイ用読み出し電位V_{W_Ler}を与えるワード線の本数が減少して、セルチャネル抵抗の影響も次第に大きくなってしまう。セルチャネル抵抗が大きくなると、ビット線の放電時間を短縮することも困難になる。これらより、消去ベリファイにおいて、同時に読み出しを行うワード線の本数は、読み出し電位V_{W_Ler}、判定電位V_{W_Lev}、ベリファイ動作時間、消去判定に求められるしきい値電圧の精度などから、最適な本数に設定されることが望ましい。

【 0 0 6 8 】

以上説明したようにこの第2の実施の形態では、選択されたブロック内のワード線に対して複数本ごとに読み出しを行うことにより、消去時におけるセルトランジスタのしきい値電圧を高精度に判定することができるとともに、消去ベリファイに要する時間を短縮することができる。さらに、しきい値電圧を精度良く制御することが可能である。

【 0 0 6 9 】

〔第3の実施の形態〕

次に、この発明の第3の実施の形態として、前記第1及び第2の実施形態のN

AND型EEPROMを搭載したICカードについて説明する。

【0070】

近時、NAND型EEPROMは、ICカード、例えば、メモリカードの主記憶に使用されるようになってきている。典型的なメモリカードには、主記憶と、この主記憶を制御するコントローラとが含まれる。

【0071】

図5は、この発明の第3の実施の形態のICカードの構成を示すブロック図である。

【0072】

図5に示すように、カード型パッケージ20に、主記憶、例えば、Flash memory 21と、このFlash memory 21を制御するController 22とが収容、あるいは搭載、あるいは貼り付けられることにより、ICカード、例えばメモリカードとして機能する。

【0073】

図5には、Controller 22に含まれるいくつかの回路ブロックのうち、特に主記憶に関する回路ブロックのみを示す。

【0074】

主記憶に関する回路ブロックとしては、例えば、Serial/parallel and parallel/serial interface 23、Page buffer 24、及びMemory interface 25が含まれる。

【0075】

Serial/parallel and parallel/serial interface 23は、データをFlash memory 21に書き込む際、例えば、シリアルなInput dataを、パラレルな内部dataに変換する。変換されたパラレルな内部データは、Page buffer 24に入力され、ここに蓄積される。蓄積された内部データは、Memory interface 25を介して、Flash memory 21に書き込まれる。

【0076】

また、データをカード型パッケージ20から読み出す際には、Flash memory 21から読み出したデータを、Memory interface 25を介して、Page buffer 24

に入力し、ここに蓄積する。蓄積した内部データは、Serial/parallel and parallel/serial interface 2 3 に入力され、ここでパラレルな内部dataが、シリアルなOutput dataに変換されて、カード型パッケージ 2 0 の外に出力される。

【 0 0 7 7 】

図 5 に示す例では、上記カード型パッケージ 2 0 において、Flash memory 2 1 のメモリセルアレイを、前記第 1 あるいは第 2 の実施の形態で説明した NAND 型 EEPROM 2 6 により構成している。

【 0 0 7 8 】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせることも可能である。

【 0 0 7 9 】

さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 0 8 0 】

【発明の効果】

以上述べたようにこの発明によれば、消去ベリファイの動作速度の劣化を最小限に抑えつつ、消去状態におけるセルトランジスタのしきい値電圧の高精度な判定を可能にした不揮発性半導体記憶装置及びその消去ベリファイ方法を提供することが可能である。

【図面の簡単な説明】

【図 1】

(a) はこの発明の第 1 の実施の形態の NAND 型 EEPROM の構成を示す回路図であり、(b) は NAND 列と選択ゲートトランジスタの断面図である。

【図 2】

前記第 1 の実施の形態の NAND 型 EEPROM における消去ベリファイを示すタイムチャートである。

【図 3】

前記第 1 の実施の形態の変形例の NAND 型 EEPROM における消去ベリフ

アイを示すタイムチャートである。

【図4】

この発明の第2の実施の形態のNAND型EEPROMにおける消去ベリファイを示すタイムチャートである。

【図5】

この発明の第3の実施の形態のICカードの構成を示すブロック図である。

【図6】

従来の不揮発性半導体記憶装置の一例としてのNAND型EEPROMの回路図である。

【図7】

従来の前記NAND型EEPROMにおける読み出しを示すタイムチャートである。

【図8】

従来の前記NAND型EEPROMにおける消去ベリファイを示すタイムチャートである。

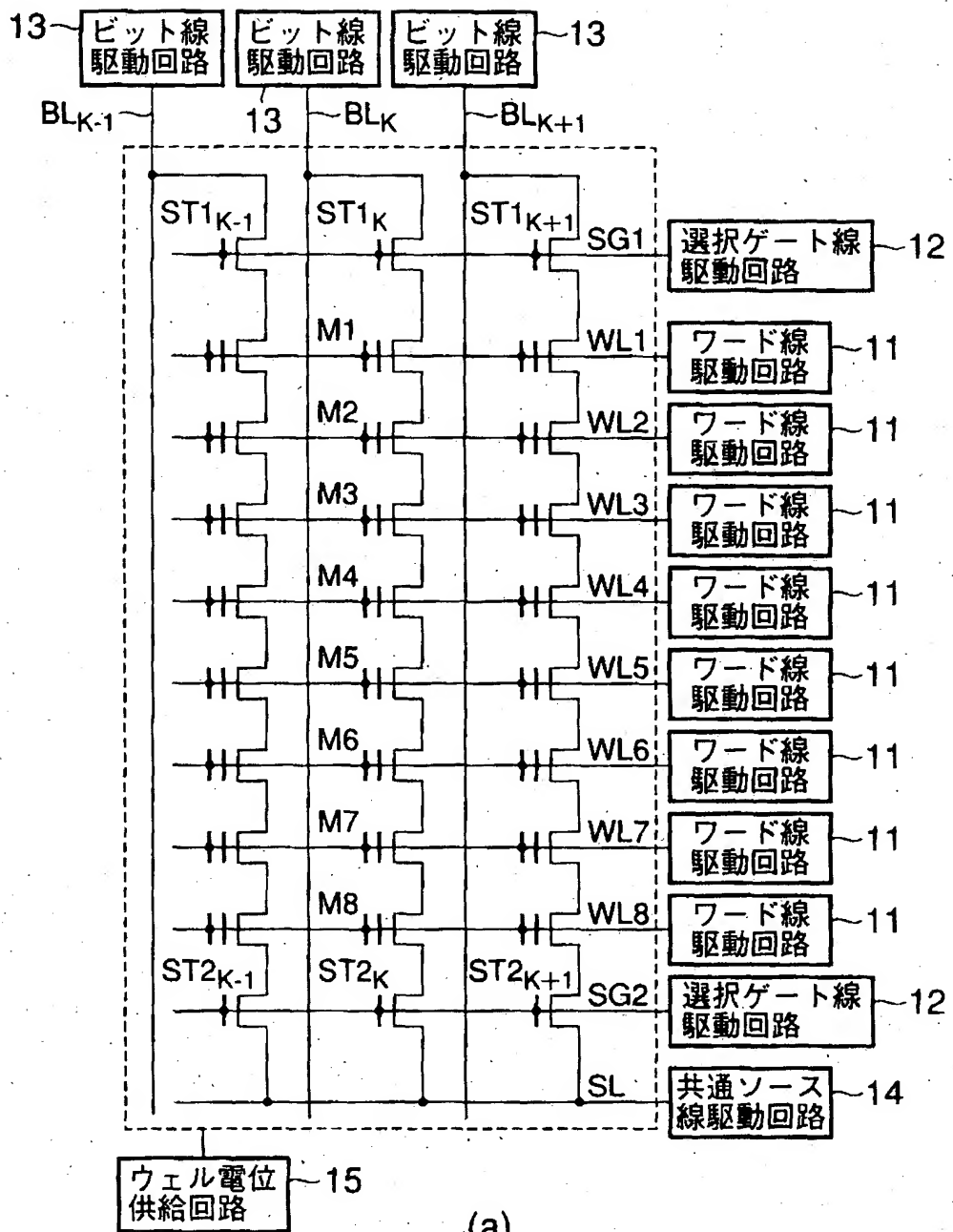
【符号の説明】

11…ワード線駆動回路、12…選択ゲート線駆動回路、13…ビット線駆動回路、14…共通ソース線駆動回路、15…ウェル電位供給回路、20…カード型パッケージ、21…Flash memory、22…Controller、23…Serial/parallel and parallel/serial interface、24…Page buffer、25…Memory interface、26…NAND型EEPROM、M1、M2、…、M8…メモリセルトランジスタ、ST1k-1、ST1k、ST1k+1…選択ゲートトランジスタ、WL1、WL2、…、WL8…ワード線、SG1、SG2…選択ゲート線、ST2k-1、ST2k、ST2k+1…選択ゲートトランジスタ、BLk-1、BLk、BLk+1…ビット線、SL…共通ソース線

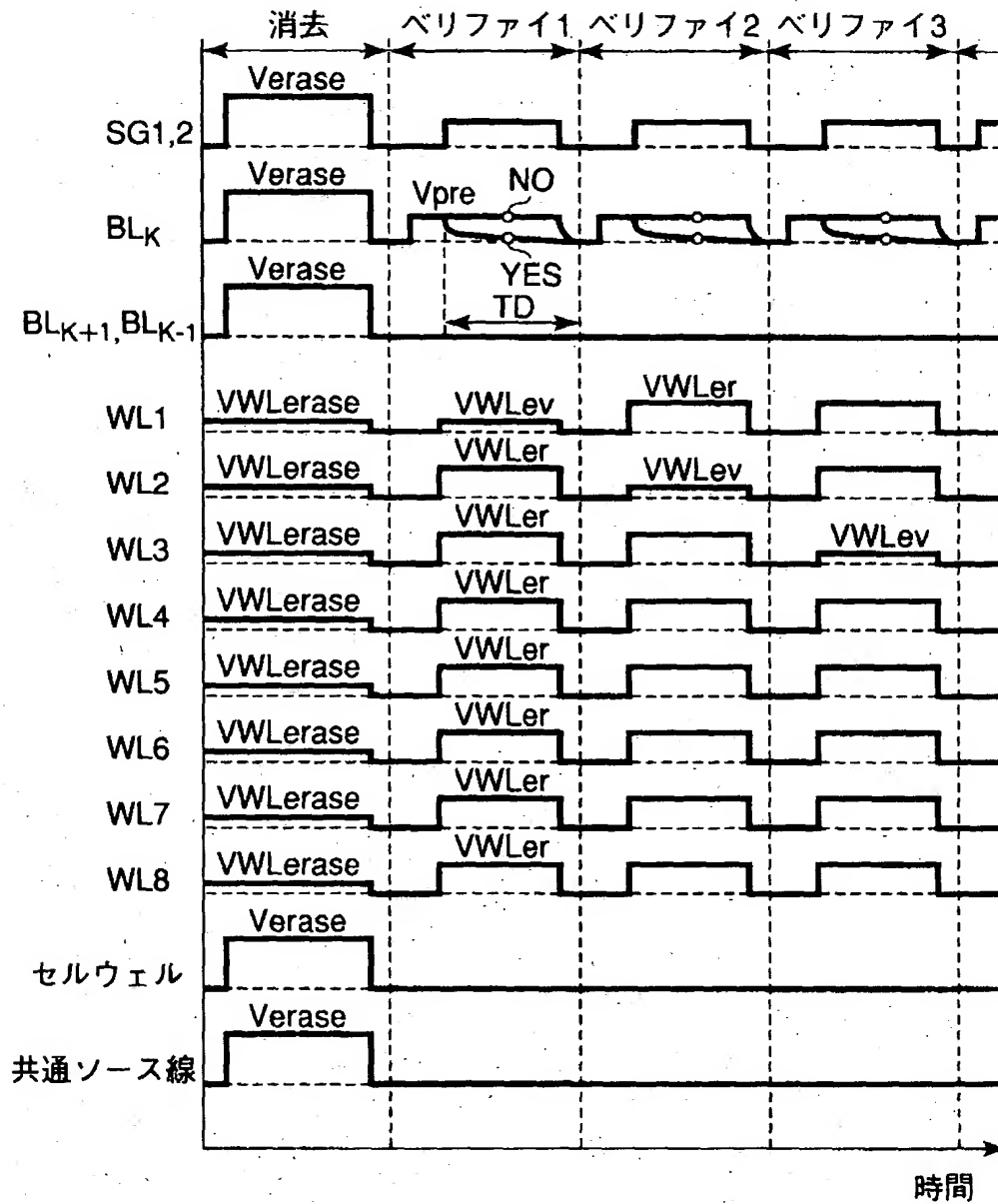
【書類名】

図面

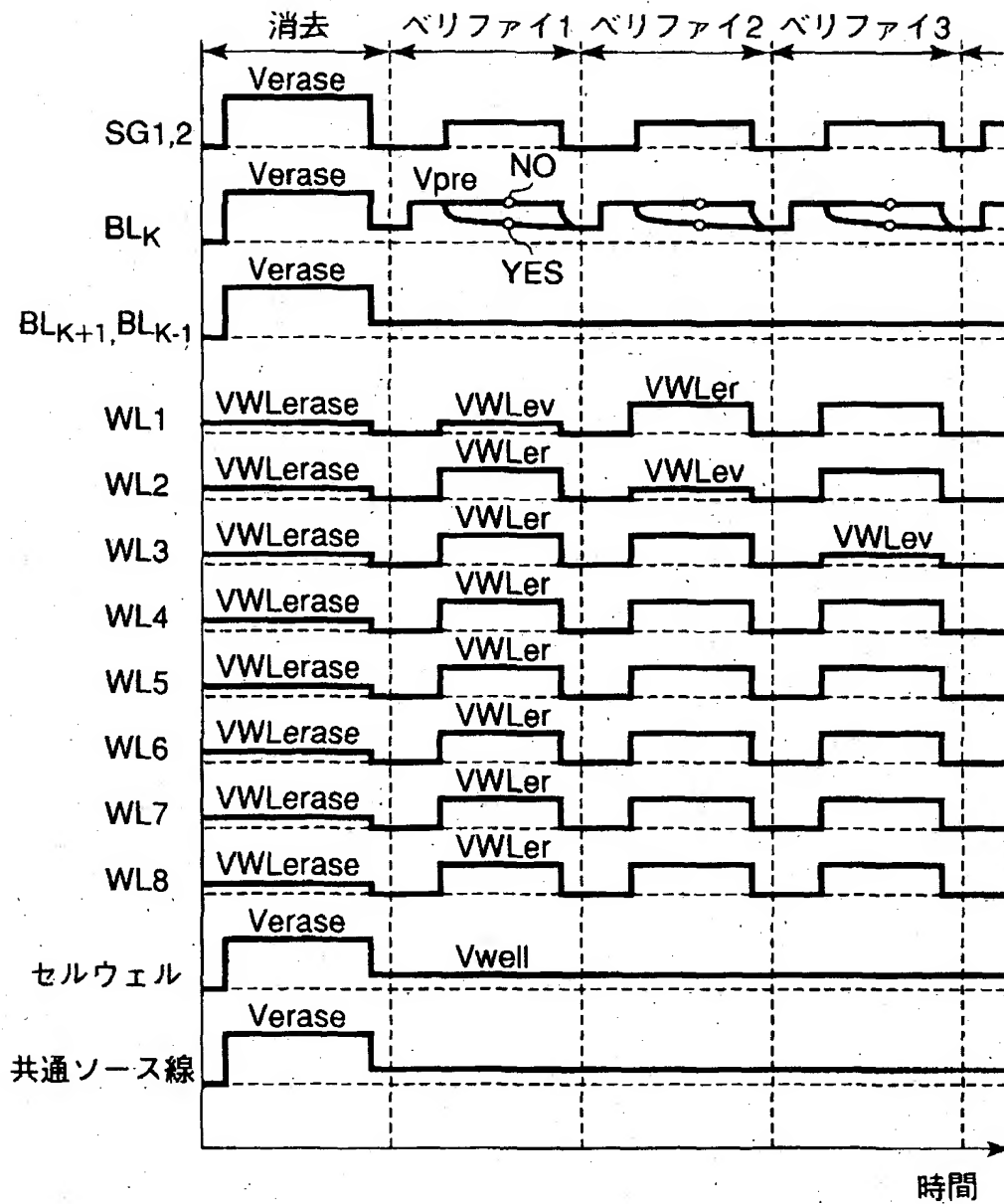
【図1】



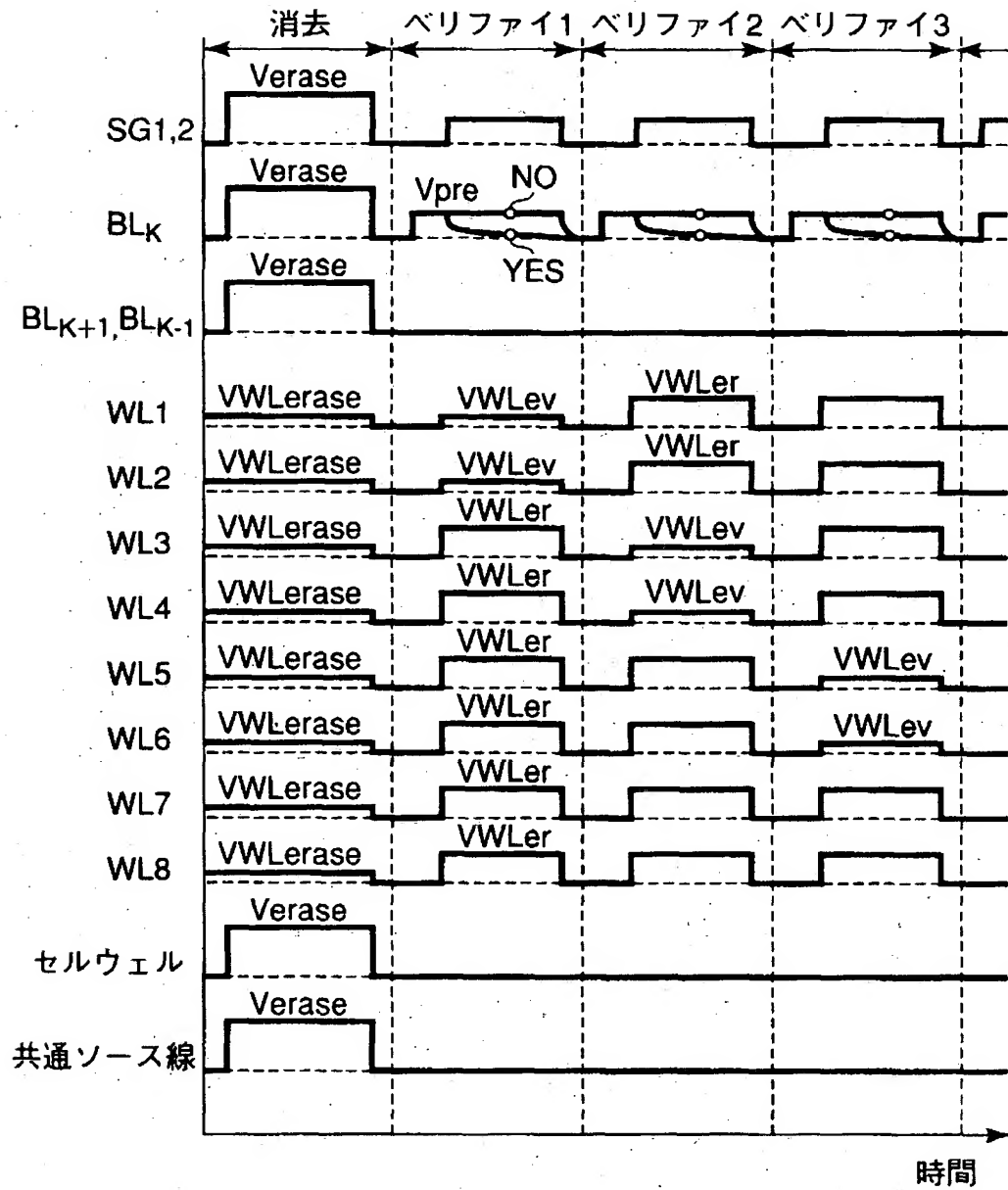
【図2】



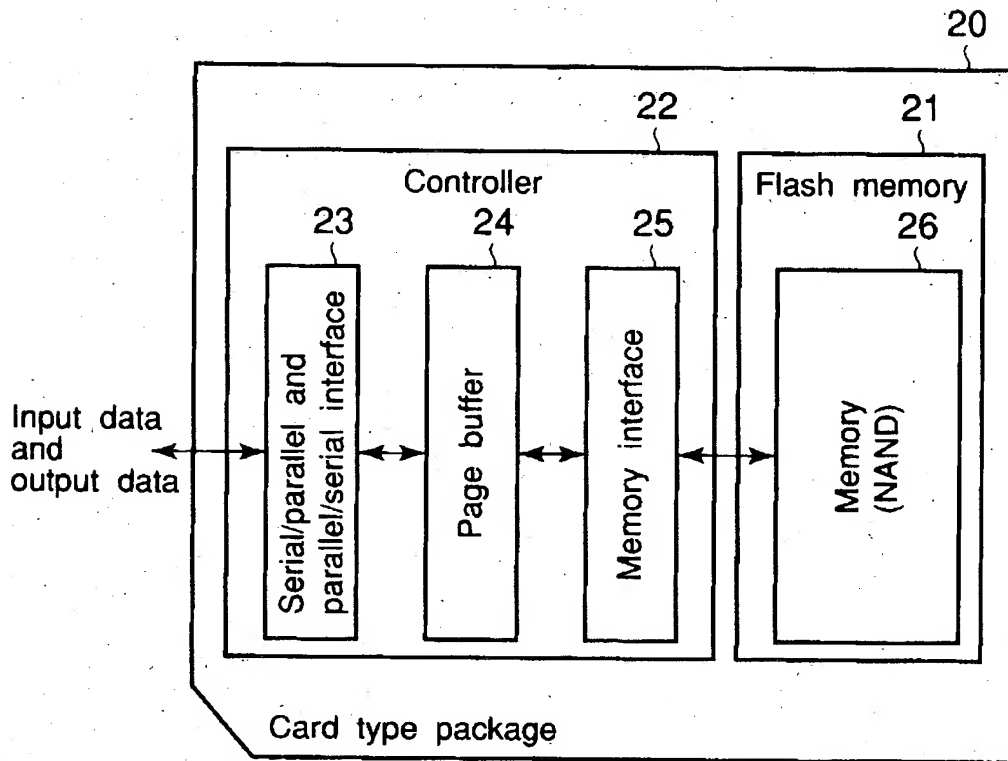
【図3】



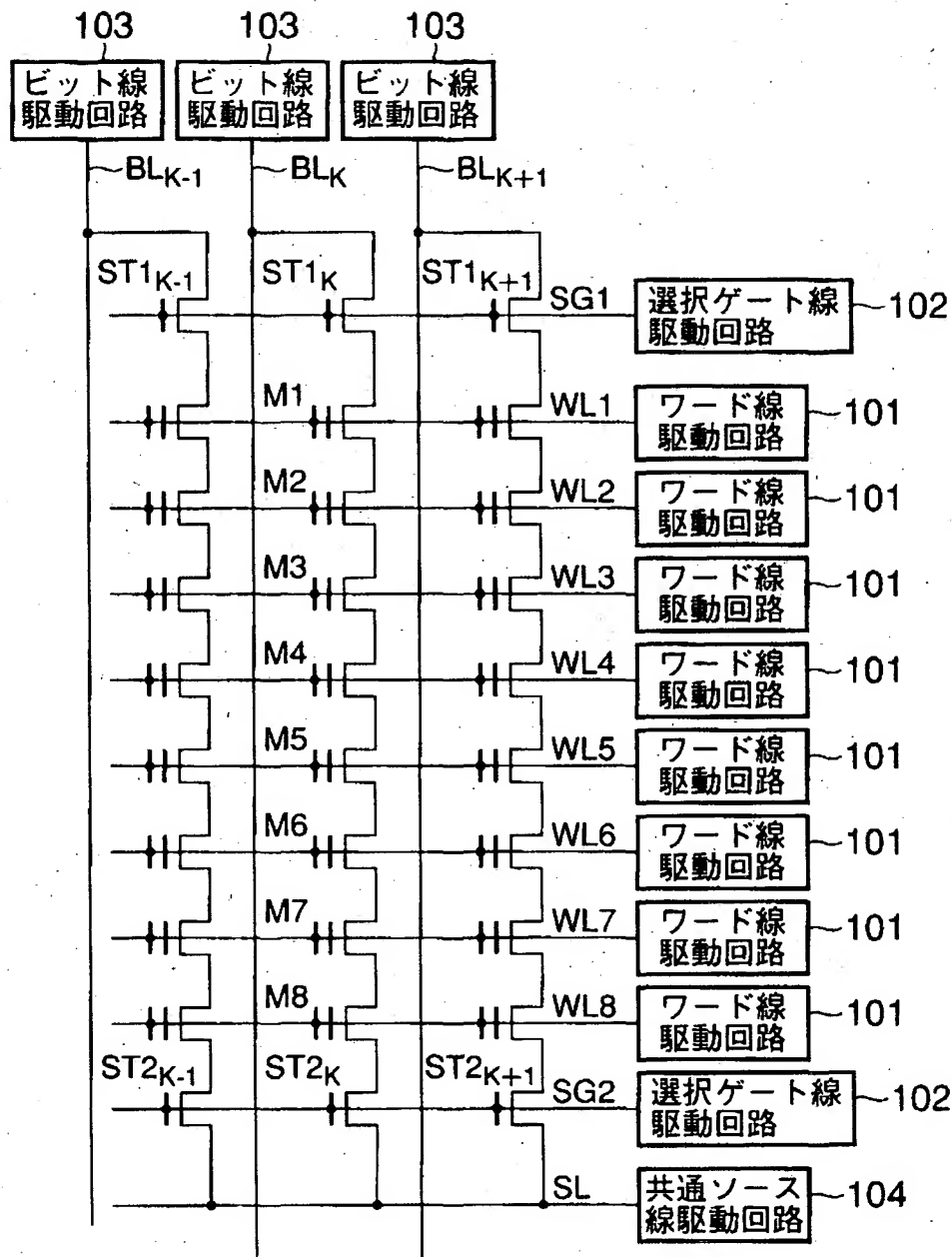
【図4】



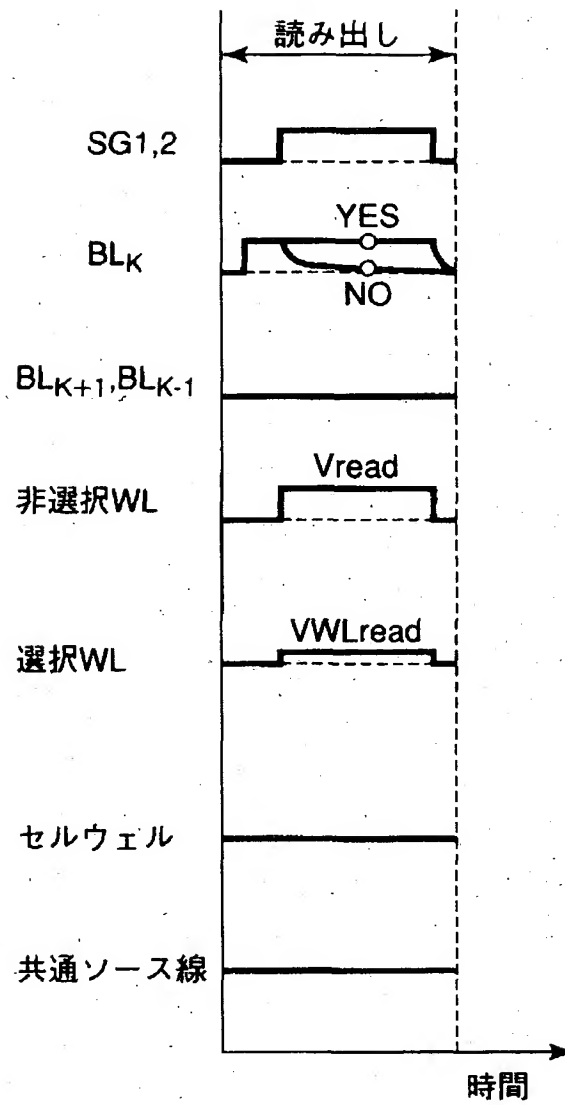
【図5】



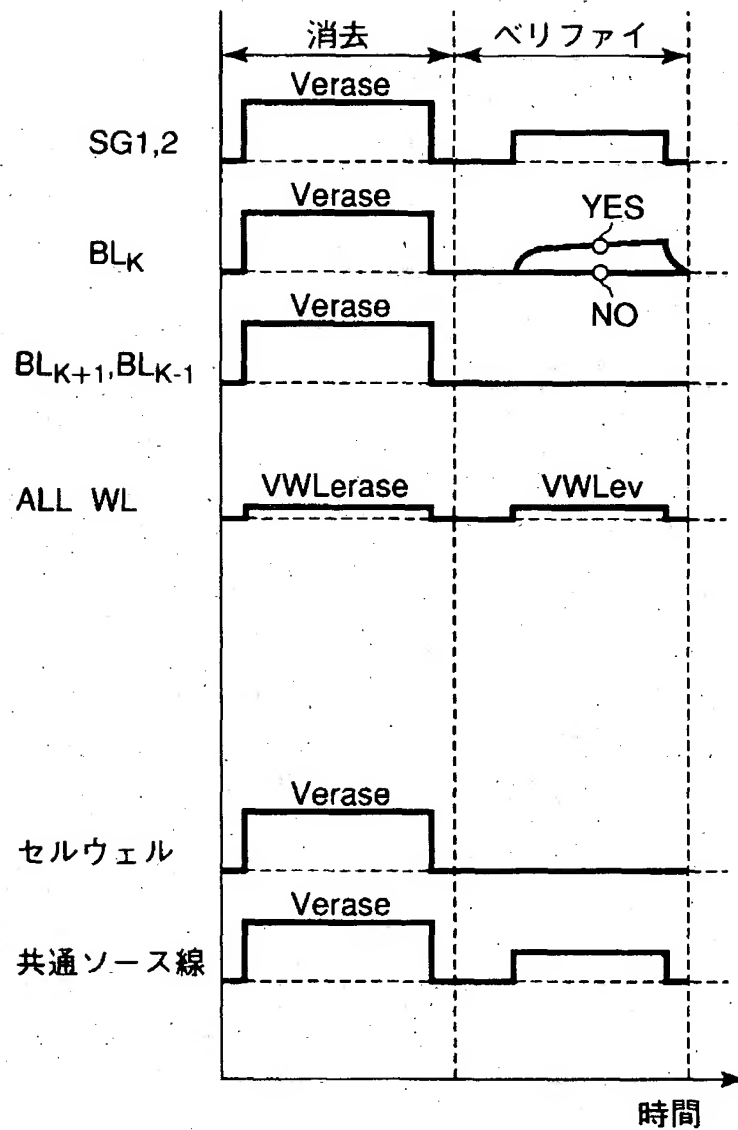
【図6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 消去ベリファイの動作速度の劣化を最小限に抑えつつ、消去状態におけるセルトランジスタのしきい値電圧の高精度な判定を可能にした不揮発性半導体記憶装置を提供する。

【解決手段】 ワード線駆動回路 1 1 は複数のワード線に低電位を供給し、ウェル電位供給回路 1 5 は複数のメモリセルトランジスタが形成された半導体領域に前記低電位より高い高電位を供給して複数のメモリセルトランジスタを消去状態にし、消去ベリファイでは、複数のワード線に対して 1 本のワード線毎に読み出しを行い、前記読み出しではワード線駆動回路 1 1 は、複数のワード線のうち選択されたワード線に消去状態になっているか否かを判定するための判定電位を与え、その他の非選択のワード線に前記判定電位よりも高い読み出し電位を与える。

【選択図】 図 2

特2002-348932

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝